

【Step 1】調停手段6のステートマシンはCLK1 aに同期して動作し、Reset1 bでリセットした場合はS0状態になる。

【Step 2】画像データ入出力手段210からの要求番号6 aが1ならばステートマシンの状態はS1に移行する。

【Step 3】1クロックサイクルの間S1状態を維持した後、ステートマシンの状態はS0に戻る。

【Step 4】画像データ入出力手段210からの要求番号6 aが0、かつ符号データ入出力手段300からの要求番号6 bが1ならば、ステートマシンはS2状態に移行する。

【Step 5】1クロックサイクルの間S2状態を維持した後、ステートマシンの状態はS0に戻る。

【Step 6】S0状態の場合に画像データ入出力手段210と符号データ入出力手段300との要求番号6 a、6 bがいずれも0ならば、ステートマシンはS0状態を維持する。

【0035】また、2つの許可番号6 c、6 dはステートマシンの状態によって値が決まる。例えば、画像データ入出力手段210に与えられる許可番号6 cは、S1状態のときののみ1となり他の状態のときは0となる。また、符号データ入出力手段300に与えられる許可番号6 dは、S2状態のときののみ1となり他の状態のときは0となる。

【0036】次に、内部レジスタ手段について説明する。図4は、内部レジスタの構成を示す図である。内部レジスタ手段7は、内部レジスタ70と、レジスタドライバ74、75とから構成される。また、内部レジスタ70はコマンドレジスタ71と、パラメータレジスタ72と、ステータスレジスタ73と、から構成される。コマンドレジスタ71、パラメータレジスタ72、ステータスレジスタ73はいずれも内部バス10に接続される。

【0037】また、3つの内部レジスタ71、72、73は、それぞれ2入力ORゲート74 a~74 cからなるレジスタドライバ74と、2入力ORゲート75 a~75 cからなるレジスタドライバ75と、によってドライバされる。OE2 A1やLD2 A1など入力信号に40 については後で説明する。

【0038】コマンドレジスタ71は、所定の値が書き込まれることで符号化手段4の動作/停止、復号化手段5の動作/停止を指示することができる。パラメータレジスタ72は、JPEG Baseline Systemの量子化/逆量子化の際に用いる量子化テーブルの係数を増減させるためのスケールンクワファクタ値を指定するスケールンクワファクタ指定手段72 aと、処理すべき画素数を格納する画素数格納手段72 bと、量子化テーブルとハフマン符号化の際に用いるテーブルの選択番号を設定するテーブル設定手段72 cとから構成され、

る。

【0039】スケールンクワファクタ指定手段72 aは、3ビットで、量子化テーブルの係数の値を2^N (Nはスケールンクワファクタ指定部72 aの3ビットを3の補数表示と解釈した値) 倍し、量子化(符号化時)と逆量子化(復号時)の処理に使用する。さらに画素数格納手段72 bは処理すべき画素数を格納する。

【0040】テーブル設定手段72 cは、符号化手段4と復号化手段5との内部に含まれるカラー画像の画素成分(YCrCb色空間のY成分)用の量子化テーブルと、色差成分(YCrCb色空間のCr成分またはCb成分)用の量子化テーブルとハフマン符号テーブルとで、どちらを使うかを指定する。

【0041】ステータスレジスタ73は、符号化手段4または復号化手段5の処理終了を示すフラグと、符号化手段4または復号化手段5で検出されたエラーの有無とエラーの詳細を示すフラグとを有する。

【0042】次に、各レジスタの内部構成について説明する。ただし、パラメータレジスタの内部構成は、コマンドレジスタの内部構成と同じなので説明は省略する。図5は、コマンドレジスタの任意の1ビットの回路図を示す図である。コマンドレジスタ71は、セレクト手段71 aと、DFF (D型フリップフロップ) 手段71 bと、トライステートバッファ手段71 cとから構成される。

【0043】2入力のセレクト手段71 aの出力は、DFF手段71 bの入力に接続される。DFF手段71 bのQ出力はセレクト手段71 aの一方の入力とトライステートバッファ手段71 cの入力に接続され、さらにCODEC装置1の内部でも使用される。セレクト手段71 aのもう一方の入力は、内部バス10に接続される。

【0044】LDは、セレクト手段71 aの入力選択として使われ、LD=1のときには内部バス10の値が、LD=0のときにDFF手段71 bのQ出力値がセレクト手段71 aの出力となり、DFF手段71 bのD入力に供給される。従って、DFF手段71 bのCLK1 aの立ち上がりエッジの際にLD=1とすることで内部バス10の値をDFF手段71 bに書き込むことができる。

【0045】OEは、トライステートバッファ手段71 cのアウトプットバッファ入力に接続されている。従ってOE=1とするDFF手段71 bにラッチされている値を内部バス10に出力することができる。OE=0ならばトライステートバッファ手段71 cはOFF(高インピーダンス状態)となり、内部バス10に影響を与えない。Reset1 bがDFF手段71 bのリセット入力に接続されている。これにより、リセット時には、コマンドレジスタはリセットされる。

【0046】次に、ステータスレジスタの内部構成につ

いて説明する。図6は、ステータスレジスタの任意の1ビットの回路図を示す図である。2つのセレクト手段73 aと73 b、DFF手段73 c、トライステートバッファ手段73 d、ORゲート73 eとから構成されている。図6を図5と比較されていることがわかる。これ、Rゲート73 eと追加されていることがわかる。これは、CODEC装置1で発生したステータス情報をレジスタにロードするために設置されている。

【0047】内部バス10のデータをステータスレジスタ73にロードしないときはLD=0となっているので、ステータス情報はセレクト手段73 aの一方の入力よりセレクト手段73 aの出力に現れ、セレクト手段73 bの入力に供給される。

【0048】ステータスをロードする時にはCODEC装置1内部でステータスロード番号が1となり、これによりORゲート73 eの出力も1となる。ORゲート73 eの出力はセレクト手段73 bの入力選択に接続されている。そして、ここが1となることで、セレクト手段73 aの出力、すなわちCODEC装置1内部のステータス情報がDFF手段73 cのD入力に現れる。従って、DFF手段73 cのクロック入力CLK1 aの立ち上がりエッジの際にステータスロード番号を1にし、ステータス情報を供給することでCODEC装置1内部のステータス情報をステータスレジスタ73にロードすることができる。

【0049】次に、画像データから内部レジスタ手段へのアクセスについて説明する。内部レジスタ手段へのアクセスは、符号化側/復号化側内部レジスタアクセス手段8、9で行われる。ここで、符号化側内部レジスタアクセス手段8と、復号化側内部レジスタアクセス手段9とは、構成は同じなので符号化側内部レジスタアクセス手段8についてのみ説明する。

【0050】図7は、符号化側内部レジスタアクセス手段の一部を示すブロック図である。符号化側内部レジスタアクセス手段8からは3つの内部レジスタ手段7のL/D信号(LD2 A1、LD2 A2、LD2 A3)とOE信号(OE2 A1、OE2 A2、OE2 A3)とが生成される。これら6つの信号は6個の4入力ANDゲート212 a~212 fで作られる。また、4入力ANDゲート212 a~212 fの入力は、レジスタセレクト番号A1、A2、A3と、WT番号23と、許可番号6 cと、DMAAck番号27のnotと、RD番号2とからなる。

【0051】また、アドレス24はアドレスデコード23と制御番号A123とが生成される。図8は、アドレスデコードの入出力の関係を示す真値表である。真値表8 aは、アドレスと、レジスタ割り当てと、レジスタセレクト番号A1、A2、A3と制御番号A123とから構成される。アドレスデコード211は、入力され、

たアドレスに対してデコード信号を作成する。例えば、アドレスが2の場合は、レジスタセレクト信号A1、A2、A3がそれぞれ、1、0、及び制御信号A123が1となるようなデコード信号がパラメータレジスタに割り当てられる。

[0052] 図9にANDゲートの論理構成部を示す。論理構成部8bの表は、ANDゲート212a~212fの論理と接続先とを示している。論理と接続先として例えば、LD2A2は、A1とWT (WT信号23) と制御信号からの許可信号6cと、DMAAck信号27のANDととの論理積であることを示している。そして、ANDゲート212aの出力先は、ORゲート75bの一方に入力される。

[0053] また、図7では内部バス10は2つのトライステートバッファ213、214を介してデータバス21に接続される。トライステートバッファ213はデータバス21を入力とし、内部バス10を出力とするトライステートバッファで、(A123*WT信号23*制御信号からの許可信号6c)=1のときに内部バス10をドライブし、0のときはドライブしない。

[0054] また、トライステートバッファ214は、内部バス10を入力とし、データバス21を出力とするトライステートバッファで、(A123*RD信号22*制御信号からの許可信号6c)=1のときにデータバス21をドライブし、(A123*RD信号22*制御信号からの許可信号6c)=0のときはドライブしない。すなわち高インピーダンスとなる。

[0055] 次に、画像データバスから内部レジスタ手続に書き込む時の動作について説明する。図10は、画像データバスから内部レジスタ手続に書き込む時の動作タイミングを示す図である。ここではコマンドレジスタ71に書き込むものとし、さらに符号データバス30からの読み出しまたは書き込み動作はないものとする。

[0056] 画像データバス20のバスマスタは、データバス21に書き込みデータを出し、RD信号22=0、WT信号23=1、アドレス24=01 (2進数) を出力する。このときも制御信号6bはS0状態にあるため、画像データ入出力手続210への許可信号6cは0となり、WAIT信号25は1となる。

[0057] したがって、バスマスタは次のサイクルもデータバス21、RD信号22、WT信号23、アドレス24に同じ値を出力する。また、LD2A1=0かつLD3A1=0のとき、コマンドレジスタ71へのLD信号も0となり、レジスタへの書き込みはまだ発生しない。トライステートバッファ213もOFFのままであり、

[0058] 次のサイクルでは制御信号6bはS1状態となるので、画像データ入出力手続210への許可信号6cは1となる。これにより、トライステートバッファ213が内部バス10をデータバス21の値にドライブす

る。

[0059] また、LD2A1=1となり、ORゲート75aの出力は1となり、コマンドレジスタのLDは1となり、サイクルの最後のCLK1aの立ち上がり時に内部バス10の値すなわちコマンドレジスタへの書き込み値がコマンドレジスタ71に書き込まれる。さらにWAIT信号=0となり、バスマスタはWAIT状態から脱出する。コマンドレジスタ71からの読み出しも、同様に行われるが、LD2A1の代わりはOE2A1が1となり、トライステートバッファ213の代わりにトライステートバッファ214がドライバ状態となる。

[0060] 次に、画像データバスと符号データバスのアクセスが重なった場合の動作を説明する。図11は、アクセスが重なった場合の動作タイミングを示す図である。画像データバス20から内部レジスタ手続7にアクセスを試みた時に既に符号データバス30からのアクセスがあり、制御信号6の状態でS2にあるときは、WAIT信号25は1を出力するので、画像データバス20側のバスマスタはWAITする。

[0061] そして、次のサイクルにて制御信号6はS0状態となり、その次のサイクルにて制御信号6はS1状態となる。よって、画像データバス20側の内部レジスタ手続7へのアクセスが行われ、さらにWAIT信号25=0となることでバスマスタのWAITが解除される。

[0062] 画像データバス20のバスマスタと符号データバス30のバスマスタが同時に内部レジスタ手続7へのアクセスを試みた場合は、制御信号6の状態はS0からS1へ移行し、画像データバス20側にアクセスが許され、かつWAIT信号25=0が出力される。そして、次のサイクルにおいてS0状態となり、ここで画像データバス20のさらなるアクセス要求がないならば、その次のサイクルでS2状態となり、符号データバス30のアクセスが行われる。このように制御信号6により2つのバスから同時に内部レジスタ手続7へのアクセスが起きることが禁じられているため、内部バス10上でデータがぶつかり合うことはない。

[0063] 一方、符号データバス30側から内部レジスタ手続7にアクセスする場合は、符号データ入出力手続300を用い、上記で説明したのと全く同様に行う。ただし、信号LD2A1、LD2A2、LD2A3、及びOE2A1、OE2A2、LD3A2、LD3A3、及びOE3A1、OE3A2、OE3A3を生成し、これらの接続先は、それぞれORゲート74a~74c、75a~75cのもう一方の入力となる。

[0064] 以上説明したように本発明のCODEC装置は、内部レジスタ手続へのアクセスのための専用入出力手続をなくした構成とした。これにより、CODEC装置を実装する集積回路のパット数と集積回路用パツ

210側は、画像データバス20に接続される。CODEC装置1の符号データ入出力手続300側は、符号データバスであるが、これはシステムバス150に接続する。CODEC装置1の画像データの転送はDMAC手続100で行い、符号データの転送はCPU120の命令によって行われる。CPU120の命令による転送レートはDMAC手続100の転送レートと比較してはるかに低いが、JPEGの画像データ符号化によってデータ量が十分に小さくなるため、CPU120の命令による転送でも実装側の用途には十分である。

[0071] RD信号22、WT信号23、WAIT信号25、DMAReq信号26、それにDMAAck信号27はDMAC手続100に直接接続する。データバス21とアドレスバス24は画像データバス20のデータバスとアドレスバス部に接続する。CPU120からDMAC手続100へはDMAスタート信号120aが送られ、DMAC手続100からCPU120へは割り込み要求信号100aが送られる。

[0072] また、DMAC手続100は画像メモリ手続110aにアクセスするためのアドレスを生成し、画像データバス20を通じて画像メモリ手続110aに送る。また、DMAC手続100はCODEC装置1の内部レジスタのアドレス(2bit)を生成し、画像データバス20を通じてCODEC装置1に送る。

[0073] また、DMAC手続100により画像メモリ手続110aから読み出された画像データは、画像データバス20のデータバス21を通じてCODEC装置1へ送られる。CODEC装置1から出力された画像データはDMAC手続100の制御のもとでデータバス21を通じて画像メモリ手続110aに送られ書き込まれる。DMAC手続100は画像メモリ手続110aからDMAC手続100に対する命令群を読み出し、それに従い動作し、さらにDMAC手続100のステータスを画像メモリ手続110aに書き込むようになっている。

[0074] 次に、CODEC装置1の符号データの供給について説明する。CODEC装置1の符号データバス側のDMAReq信号36をCPU120に対する割り込み要求信号として使う。DMAC手続100がCODEC装置1のコマンドレジスタ71に符号化手続5のスタートを指示すると符号化手続5が動きはじめ、符号データを符号データ入出力手続300に要求し、符号データ入出力手続300はDMAReq信号36=1として、これがCPU120に割り込み要求と通知される。CPU120は割り込みを起す。そして、割り込み処理ルーチンにてCPU120はメインメモリ130から符号データを読み出し、CPU120はシステムバス150を通じて、CODEC装置1に符号データを書き込む。

[0075] これによりDMAReq信号36=0とな

ページのピン数を減らすことが可能である。よって、集積回路のコストを下げることができ、またより少ないピンのパッケージに収めることができる。

[0065] 次に、本発明のCODECシステムについて説明する。図12はCODECシステムの原理図である。CODECシステムは、デジタルデータを符号化して、入出力処理を行う符号化処理手続400と、符号データを復号化して、入出力処理を行う復号化処理手続500と、符号化処理手続400または復号化処理手続500の制御を行う内部レジスタ制御手続700と、デジタルデータを格納するデジタルデータメモリ110と、デジタルデータメモリ110と内部レジスタ制御手続700との制御を行うDMAC手続100と、から構成される。

[0066] ここで、本発明のCODECシステムの符号化処理手続400と、復号化処理手続500と、内部レジスタ制御手続700とは、上記で説明したCODEC装置の内部構成を一括化したものである。よって、以下の実施の形態では、CODEC装置1を用いてシステムを構築した場合のCODECシステムについて説明する。

[0067] 次に、本発明のCODECシステムを画像データを符号化/復号化する場合に適用した場合の第1の実施の形態について説明する。図13は、CODECシステムのブロック図である。CODECシステムはCODEC装置1と、DMAC手続100と、画像メモリ手続110aと、CPU120と、メインメモリ130と、I/O手続140と、から構成される。CPU120とメインメモリ130とI/O手続140とは、システムバス150に接続している。また、I/O手続140は、RS232C I/F141と、Disk I/F142と、Ethernet I/F143とから構成される。

[0068] ここで、RS232C I/F141はコンソールとの接続のためにあり、コンソールを用いて本システムをオペレータが操作する。Disk I/F142は、Disk装置に接続され、符号データを記録するために用いられる。Ethernet I/F143は、Ethernetと接続され、画像データあるいは符号データを、受信あるいは送信するために用いられる。また、システムバス150はアドレスバスと、データバスと、制御バスとから構成される。

[0069] 次に、各構成手続の接続について説明する。画像メモリ手続110aは2ポートメモリである。第1のポートは画像データバス20に接続し、第2のポートはシステムバス150に接続する。CPU120は第2のポートを用いて画像メモリ手続110aの内部を読み出したり書き込んだりすることができ、DMAC手続100は画像データバス20に接続する。

[0070] CODEC装置1の画像データ入出力手続50

有効な符号データがデータバス31にあることをCO
DEC装置1に知らせる。そして、CODEC装置1は
符号データを読み、DMAReq信号36を0とする。
これによりDMAC手段101はDMAAck信号37
を0とする。このようにCODEC装置1とDMAC手
段101はDMAReq信号36とDMAAck信号3
7を用いて、ハンドシェイク制御を行うことで、符号
データを転送する。

[0092] さらに、CODEC装置1はDMAC手段
101より1ワードあるいは複数ワードの符号データを
受け取った後にそれを復号し、画像データを作る。この
画像データはDMAC手段100により画像データバス
20を経て、画像メモリ手段110aに書き込まれる。
画像データの転送は第1の実施の形態にて説明したの
で省略する。

[0093] また、DMAC手段101は、メインメモ
リ130に格納された符号データをCODEC装置1に
転送するほかに、符号データに高解像度とされる各種ヘン
ダの処理を行う。ヘンダにはCODEC装置1における
圧縮・伸張アルゴリズムの選択を指示するものがある。
本実施例では多解像度の画像成分についてはJPEGを使
い、白黒2値画像についてはランレングス圧縮アルゴ
リズムを用いている。

[0094] ヘンダはJPEG符号とランレングス圧縮
とを区別する。DMAC手段101はメインメモリ13
0から読み出した符号データ中にヘンダを発見すると、
符号データバス30のWT信号33とアドレス34とデ
ータバス31とを用いてCODEC装置1のパラメータ
レジスタを書き換えて復号手段を切り替える。

[0095] そして、DMAC手段101のレジスタに
設定した量の符号データのCODEC装置1への転送が
終了すると、DMAC手段101は割り込み要求信号1
01aを1としてCPU120に至り7を通知する。CP
U120は両者からの割り込みが発生したことでの処理の
完了を知る。

[0096] 以上では符号データを復号化するなら伸張
するケースについて説明したが、画像データを符号化す
るなら圧縮するケースはデータが流れる方向が逆である
だけなので、説明は省略する。

[0097] 以上説明したように、本発明のCODEC
システムは、複数の圧縮・伸張アルゴリズムを切り替え
て圧縮・伸張を行う場合においてもDMAC手段が内部
レジスタを操作できる構成とした。これにより、CPU
による処理を極力減らすことができ、処理速度の向上を
はかることができる。

[0098] さらに、本発明のCODECシステムは、
上記で説明したCODEC装置と同様に単一の集積回路
上に実装する構成にすることが可能である。これによ
り、集積回路のパッド数と集積回路のピン数のピン
数を削減することが可能となる。

施の形態では、画像データバス上のデータ転送をDMA
で行ったが、第2の実施の形態では、画像データバス2
0側のデータ転送を36とDMAC手段100のは
かに、符号データバス30側のデータ転送をつかさどる
別のDMAC手段101が備えられている。ここで、画
像データバス側のDMAの動作は第1の実施の形態で説
明したのと全く同様であるので説明を省略し、符号デ
ータバス側のDMAについて説明する。

[0087] DMAC手段101は、CODEC装置1
の符号データバス側のRD信号32と、WT信号33と
アドレス34とを生体保持する。CODEC装置1の符
号データバス30のデータバス31はDMAC手段10
1と接続している。DMAC手段101は、CODEC
装置1のWAIT信号35を入力する。さらにCODEC
装置1からDMAC手段101へDMAのリクエスト
信号であるDMAReq信号36が接続され、DMAC
手段101からCODEC装置1へはDMA許可信号で
あるDMAAck信号37が接続されている。

[0088] さらに、DMAC手段101は、システム
バス150と接続している。これによりCPU120
からDMAC手段101の内部レジスタにアクセスする
ことが可能となり、かつDMAC手段101がシステ
ムバス150を介してメインメモリ130にアクセスする
ことも可能となる。CPU120からDMAC手段10
1へはDMAを起動させるためのDMACスタート信号
120bが接続されている。DMAC手段101からC
PU120へは、CPU120に対する割り込み要求信
号101aが接続されている。

[0089] 次に、メインメモリに格納されている符号
データをCODEC装置1で復号し、画像メモリ手段に
格納する場合について説明する。まず、CPU120
は、メインメモリ130に格納されている符号データの
開始アドレスとデータサイズとをそれぞれDMAC手段
101の内部レジスタに格納する。その後DMACスタ
ート信号120bを1として、DMAC手段101をス
タートさせる。DMAC手段101は、システムバス1
50を經由してメインメモリ130のアドレスより符号
データを順次読みだしていく。読みだされた符号デ
ータは一旦DMAC手段101内部に格納される。

[0090] 一方、上記処理と並行して、CPU120
は画像メモリ手段110aにDMAC手段100のため
の命令メモリを書き込む。そして、DMACスタート
信号120aを1としてDMAC手段100を起動す
る。DMAC手段100はすでに第1の実施の形態で述
べたように命令語に従ってCODEC装置1の内部レジ
スタをセットする。これによりCODEC装置1のDM
AReq信号36が1となる。

[0091] また、DMAC手段101はDMAReq
信号36=1となったら、内部に格納した符号デ
ータバス31に出力し、DMAAck信号=1として

ータ転送となっているので、転送先アドレス111bと
転送バイト数111cとを読み出し、DMAC手段10
0内部のレジスタにセットする。

[0081] 次に、CODEC装置1のパラメータレジ
スタ72に書き込む値を22と出する値をデータバ
ス21に出力し、RD信号22を0、WT信号23を
1、アドレス信号24を10(2進数)とし、CODE
C装置1のパラメータレジスタ72にパラメータ111
dを書き込む。

[0082] 次にコマンド111eを読み出し、4番目
の語と同様にCODEC装置1の内部レジスタ71
に書き込む。ここで書き込まれる値は値すなわちコマンド1
11eにセットされている値は、CODEC装置1の復
号手段5をスタートさせるコマンドである。

[0083] これによりCODEC装置1が復号を始
め、DMAC手段100はDMAReq信号26が1に
なるのを待つ。DMAReq信号26が1になったら、
DMAC手段100は画像データバス21のアドレスバスに
画像メモリ手段110aの書き込み先アドレスを出し、
CODEC装置1に対してRD信号22=1、WT信
号23=0、DMAAck信号27=1を出力する。そ
して、復号した画像データをCODEC装置1からデー
タバス21に出力させ、画像メモリ手段110aに送
る。また、DMAC手段100はCODEC装置1のW
AIT信号25を監視し、これが0のときに画像メモリ
手段110aにデータバス21上のデータを送るなら復
号した画像データを書き込む。

[0084] このデータ転送を命令語の転送バイト数1
11cを達成するまで繰り返す。繰り返したら、D
MAC手段100は、まず、マスク111fの値を読み
出し、次いで、CODEC装置1に対して、RD信号
22=1、WT信号23=0、アドレス24=11(2
進数)を出力し、CODEC手段10のステータスレジ
スタ73を読み出す。ここで読み出した値とマスク値のA
NDをとって、その結果、復号がエラーなく終了したこと
を示しているれば正常、そうでない場合は異常とする。

[0085] DMAC手段100はリンク111hを讀
み出し、正常/異常に関する情報をアドレスに書き込
む。次に、DMAC手段100は命令語のリンク111hを讀
み出し、リンク111hを使い2番目の命令語1112を讀
み出し、同様の処理を行う。命令語1112～1115の処理
を終えたら、DMAC手段100は命令語1116を讀
む。この命令語のDMACコマンド(図示せず)は「D
MAC停止」なので、DMAC手段100は割り込みリ
クエスト信号を1にし、CPU120に対し割り込みを
かけ、DMACの動作が終わったことを通知し、動作を
停止する。

[0086] 次に、CODECシステムの第2の実施の
形態について説明する。図15は、第2の実施の形態を
示すCODECシステムのブロック図である。第1の実

りCPU120への割り込み要求は取り下げられる。そ
の後CPU120は、割り込み処理ルーチンからリター
ンし、割り込まれた時点の処理を続行する。符号デ
ータの供給に関するCPU120の処理は、割り込みルーチ
ン内で、メインメモリ130から符号データをロード
し、CODEC装置1にスライアし、割り込みルーチンか
らリターンするといふ点に限り本実施例と異なり、そ
れ以外にCPU120にとって負担とはならない。

[0076] 図14は、画像メモリ内のDMACのため
の命令語と、画像データエリアとの関係を示す図であ
る。まずCPU120は画像メモリ手段110a中の所
定のアドレス(0番地)からDMAC手段100への命
令語の集合を書き込む。その後、DMAC手段100は
命令語111を読み出し、画像メモリ手段110aとC
ODEC装置1との間でDMA転送処理を行う。そし
て、それが終わったら次に実行すべき命令語が入ってい
るアドレスを示すリンク111hを利用して次の命令語
112を読み出し、DMA転送処理を行う。

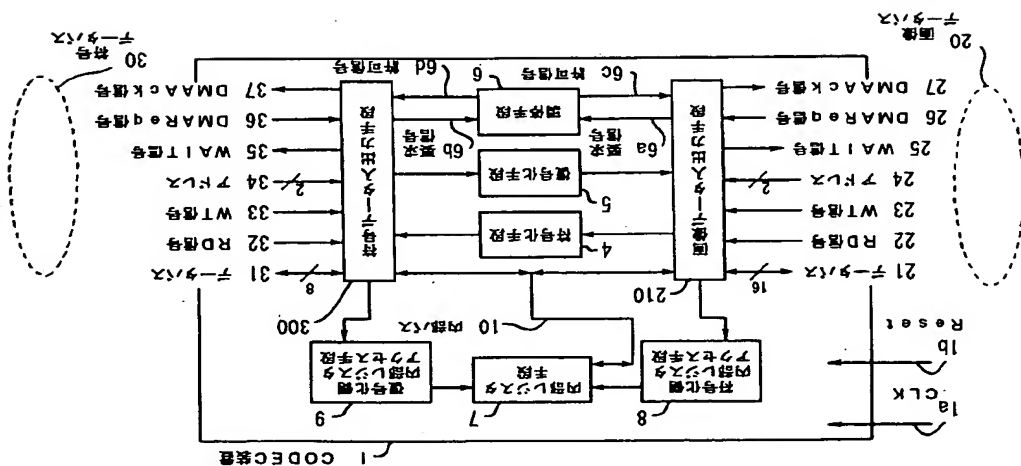
[0077] 命令語の最初にはDMACコマンド111
aがある。これはDMAC手段100の動作を規定し、
データ転送(画像メモリ手段110aからCODEC装
置1へ、あるいは、CODEC装置1から画像メモリ手
段110aへ)、DMAC動作停止、サブルーチンコー
ル、リターンが定義されている。DMACコマンド11
1aが「データ転送」のとき、2番目の語は画像メモリ
中の転送先アドレス111b、3番目の語は転送すべき
バイト数111c、4番目の語はCODEC装置1のパ
ラメータレジスタ72に書き込むべき値であるパラメ
ータ111dである。

[0078] さらに、5番目の語はCODEC装置1の
コマンドレジスタ71に書き込むべき値であるコマ
ンド111eである。6番目の語はマスクした値を示す1
11f、7番目の語はDMAC手段100のステータス
書き込むべき画像メモリ手段110aのアドレスである
ステータス書き込み先111g、8番目の語はリンク
111hである。

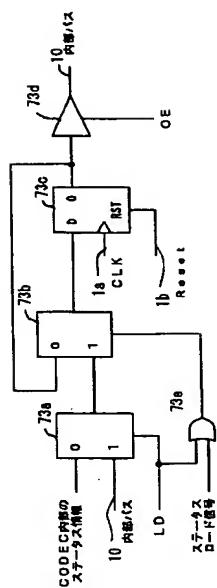
[0079] JPEGの場合、8×8画素のブロックを
1単位として扱い、このブロックを横方向に走査し符号
化する。そこで1回のDMAの単位を8×8画素のブ
ロック1列にわたる8走査線とすると便利である。そこで
1走査線当たり5個のデータ転送用命令語と最後に1個
のDMAC停止用命令語をCPU120によって画像メ
モリ手段110a中に予め書き込んでおく。CPU12
0は、DMAC手段100へのスタート信号120aを
1にし、DMAC手段100にスタートを指示する。D
MAC手段100は画像メモリ手段110aの0番地よ
り最初の命令語111を読み出す。

[0080] まず、DMACコマンド111aを讀む。
DMACコマンド111aはCODEC装置1からのデ

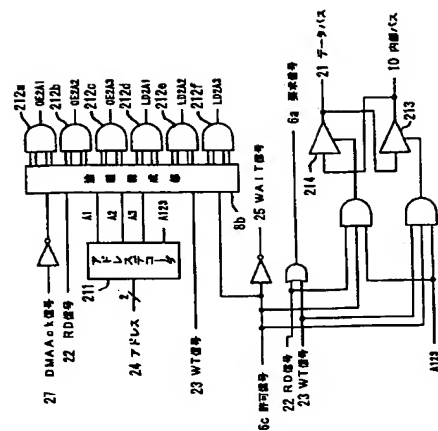
【图2】



【図6】



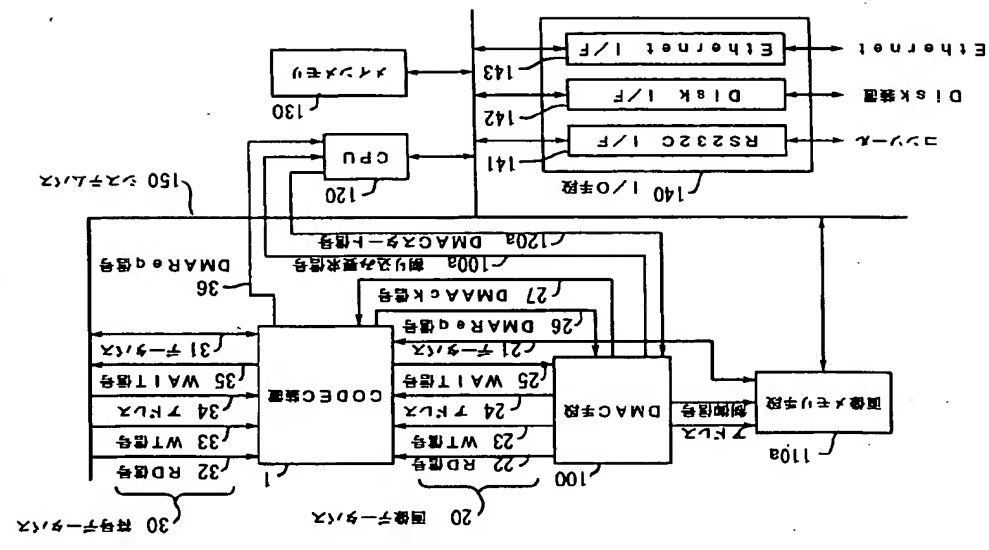
【図7】



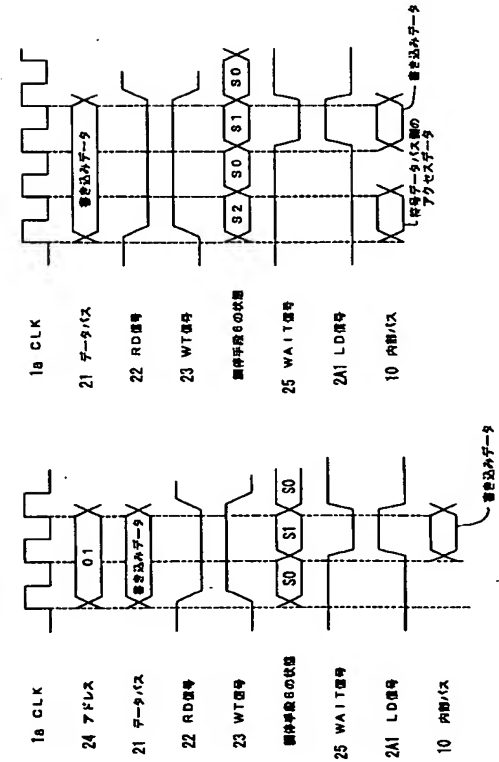
【9】

機 能	接 続 先
L2Z41 = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-175 a o - 1 方 の 人 か
L2Z42 = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-175 b o - 1 方 の 人 か
L2Z43 = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-175 c o - 1 方 の 人 か
OZ41 = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-174 a o - 1 方 の 人 か
Z42C = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-174 b o - 1 方 の 人 か
Z43C = A1 * WT * 調停手続か5の許可信号 * DMAACK	ORケー-174 c o - 1 方 の 人 か

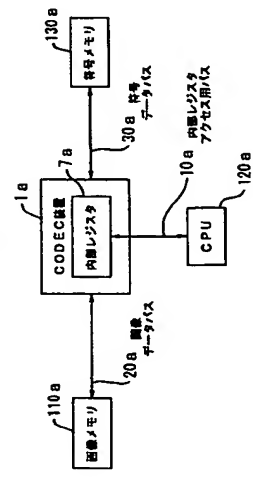
【図13】



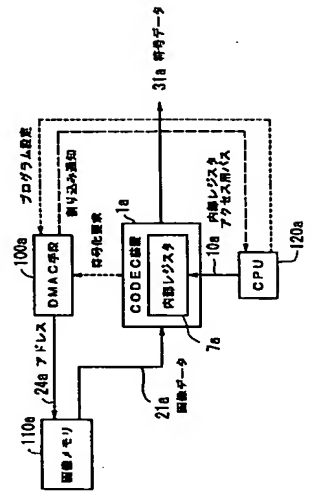
【図11】



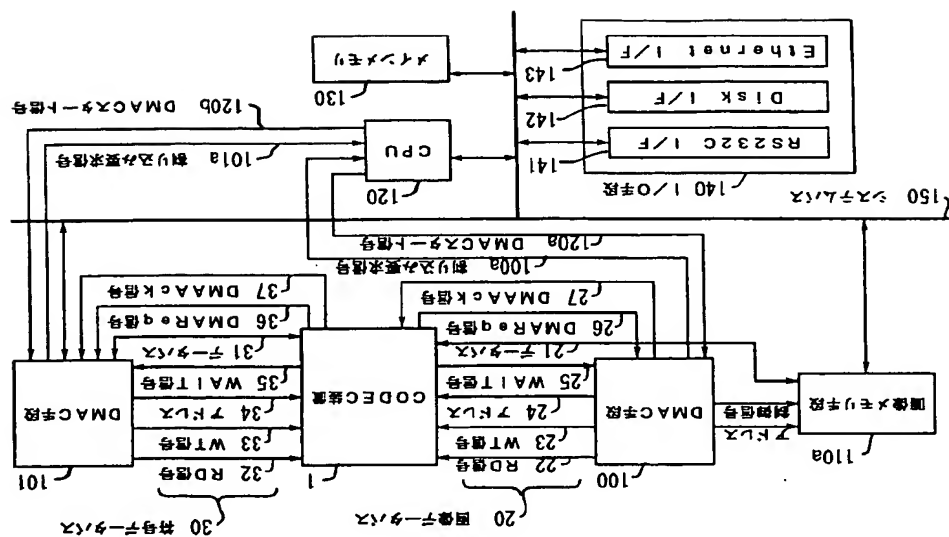
【図16】



【図17】



【図15】



【図14】

